

断熱的論理回路における 入力信号位相差の低消費電力効果に及ぼす影響

趙 勝一 澤田 直樹* 青山 航大 水沼 充 横山 道央 (山形大学)

A study on effects of phase difference between input signal and AC supply on low-power consumption for adiabatic dynamic CMOS logic

Seung-Il Cho, Naoki Sawada*, Kodai Aoyama, Mitsuru Mizunuma,
Michio Yokoyama (Yamagata University)

In this paper, the deviations in power consumption due to the phase difference between the clock and the AC signal of adiabatic dynamic CMOS logic (ADCL) have been studied. Considering conditions maximizing the low-power efficiency, design specifications of synchronizer for ADCL are proposed. The simulation result has shown that the proposed design enables to maximize low-power efficiency of ADCL.

キーワード：位相差，設計仕様，断熱的論理回路，同期化回路，低消費電力
(phase difference, design specifications, adiabatic dynamic CMOS logic, synchronizer, low power)

1. 序論

近年、次世代 LSI 技術の進展とともにトランジスタの大きさは回路の性能と動作の速度を増加させるために nanometer レベルに入ってきており、低消費電力のため「nano-scale CMOS process」では chip の電源電圧は減少している。また PDA, smart phone, tablet PC などのような個人用携帯端末機の複雑な機能を実現するための回路設計でも低消費電力に対する研究が進行されている。

論理回路の低消費電力化のために、既存の CMOS 論理回路で発生する電力損失を低減する断熱的論理回路 (adiabatic dynamic CMOS logic: ADCL) の研究が進行されている⁽¹⁾⁻⁽⁸⁾。CMOS 論理回路は一定の電圧値を持つ直流電源を用いて、出力のレベル high・low 変化によるエネルギー損失が発生する。一方、断熱的論理回路は high・low の変化に対して同期された交流電源を使うので電圧をゆっくり上昇・下降させることが可能でエネルギー損失を低減することができる^{(1)-(6), (9)-(12)}。論理回路の入力信号が立ち上がる時、交流電源電圧が立ち下がることと、反対に入力信号が立ち下がる時、交流電源電圧が立ち上がることが同期化であり、この時断熱的な動作となり大きな消費電力低減が期待される。

ADCL では断熱動作をするために、入力信号と交流電源の位相を同期させる必要がある。この条件を満足させることができなければ、非断熱動作区間が現れ、断熱動作の方より高い消費電力を招く。しかし、ADCL にはダイオード

の構成によって正確に同期が合わなくても非断熱動作が現れない動作ができる特徴を持っている。この同期位相のマージンを用いて、非断熱動作が現れないように同期の位相に対する条件を満足することが ADCL の低消費電力効果を最大化できる方法である。

本論文では、ADCL の構成的な特徴を解析して、交流信号と入力信号の位相差による出力信号と消費電力の変化について考察する。それを基に、低消費電力の効果を最大化できる条件を提示する。1.2um 標準 CMOS モデルを用いた回路シミュレーションで入・出力信号の関係と消費電力の変化を確認して提案した設計仕様の妥当性を確認する。

2. 断熱的論理回路

〈2・1〉 断熱的な動作

一般の CMOS 論理回路は一定の電圧値を持つ直流電源を使うので、入力の急峻な high・low 変化によって短い時間に負荷容量に電荷を充電することができず、論理回路の抵抗成分によってエネルギー損失が発生する。このエネルギー損失を最小化するために負荷 C を考慮して充・放電の時間より遅い上昇及び下降時間を持つ交流電源を使うのが断熱的な動作である⁽⁶⁾⁻⁽⁸⁾。

図 1 は基本的な RC 回路における直流信号の動作と断熱的な動作の同期が合った時と合わなかった時を示す。

図 1(a) の入力信号は

$$v_i(t) = \frac{V_L}{\tau}(t + \phi)[u(t) - u(t - (\tau - \phi))] + V_L[u(t - (\tau - \phi))] \dots (1)$$

$$v_R(t) = \frac{RCV_I}{\tau} \left[\left(1 - e^{-\frac{t}{CR}} \right) - \left(1 - e^{-\frac{t-(\tau-\phi)}{CR}} \right) u(t-(\tau-\phi)) \right] + \frac{V_I \phi}{\tau} e^{-\frac{t}{CR}}$$

..... (2)

$$P_R(t) = R \left[\frac{CV_I}{\tau} \left[\left(1 - e^{-\frac{t}{CR}} \right) - \left(1 - e^{-\frac{t-(\tau-\phi)}{CR}} \right) u(t-(\tau-\phi)) \right] + \frac{V_I \phi}{\tau} e^{-\frac{t}{CR}} \right]^2$$

..... (3)

ここで、 τ は入力の上昇時間、 ϕ は非同期区間で $u(t)$ は単位ステップ関数である(4)(9)(10)。

(b) は入力直流電圧 ($\phi = \tau$) の動作の時の電圧波形を表し、low から high に変化する時、負荷 C に電荷の充電が終了するまでの時間に抵抗でエネルギーを損失する。

この時(a)の入力信号は

$$v_i(t) = V_I [u(t)] \dots \dots \dots (4)$$

である。抵抗 R の電圧は

$$v_R(t) = V_I e^{-\frac{t}{CR}} \dots \dots \dots (5)$$

である。従って、抵抗 R の消費電力は

$$p_R(t) = \frac{V_I^2}{R} e^{-\frac{2t}{CR}} \dots \dots \dots (6)$$

になる(4)(9)(10)。

一方(c) は入力 RC 回路の充電時間より遅い上昇時間を持つ交流電圧 ($\phi = 0$) の動作時の電圧波形を表し、抵抗の両端の電位差をなくす事でエネルギー損失を低減する。

この時(a)の入力信号は

$$v_i(t) = \frac{V_I}{\tau} t [u(t) - u(t-\tau)] + V_I [u(t-\tau)] \dots \dots \dots (7)$$

である。抵抗 R の電圧は

$$v_R(t) = \frac{RCV_I}{\tau} \left[\left(1 - e^{-\frac{t}{CR}} \right) - \left(1 - e^{-\frac{t-\tau}{CR}} \right) u(t-\tau) \right] \dots \dots \dots (8)$$

である。従って、抵抗 R の消費電力は

$$p_R(t) = R \left[\frac{CV_I}{\tau} \left[\left(1 - e^{-\frac{t}{CR}} \right) - \left(1 - e^{-\frac{t-\tau}{CR}} \right) u(t-\tau) \right] \right]^2 \dots \dots \dots (9)$$

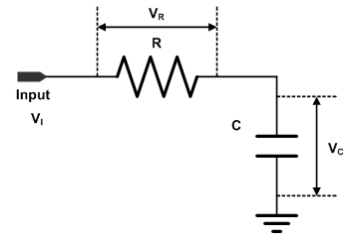
になる(4)(9)(10)。

(d) は交流信号の ϕ が増加することによって断熱動作の区間が減少する。この時(a)の入力信号は式(1)である。抵抗 R の電圧は式(2)である。従って、抵抗 R の消費電力は式(3)になる。

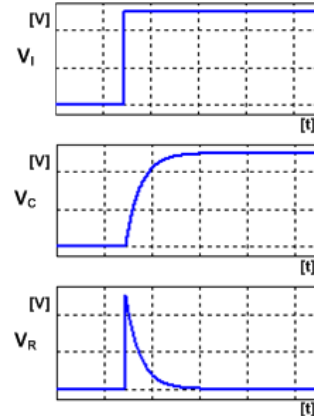
〈2・2〉 断熱的論理回路(adiabatic dynamic CMOS logic; ADCL)

ADCL は断熱的な動作を CMOS 論理回路に適用した回路で、CMOS 論理回路、逆流防止のための 2 個のダイオードと交流電源で構成される(1)~(5), (10)~(12)。図 2 は 論理回路の基本である ADCL inverter と動作の波形を示したものである。

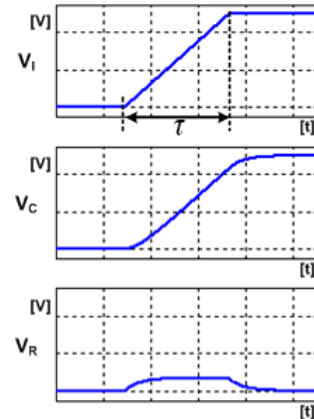
入力信号 input で pMOS と nMOS を on・off して CMOS inverter と等しい 論理動作をする。三角波である交流信号



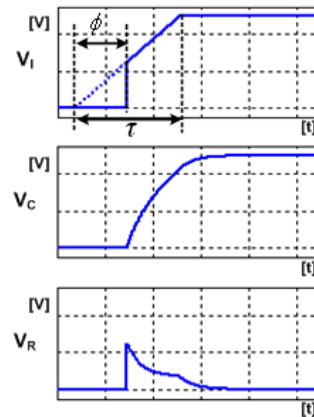
(a) RC 回路



(b) 直流信号の動作



(c) 断熱的動作



(d) 断熱的動作(同期が合わない時)

図 1 基本的な RC 回路での直流信号の動作と断熱的動作
Fig. 1. Operation of the DC signal and the adiabatic charging at normal RC circuit

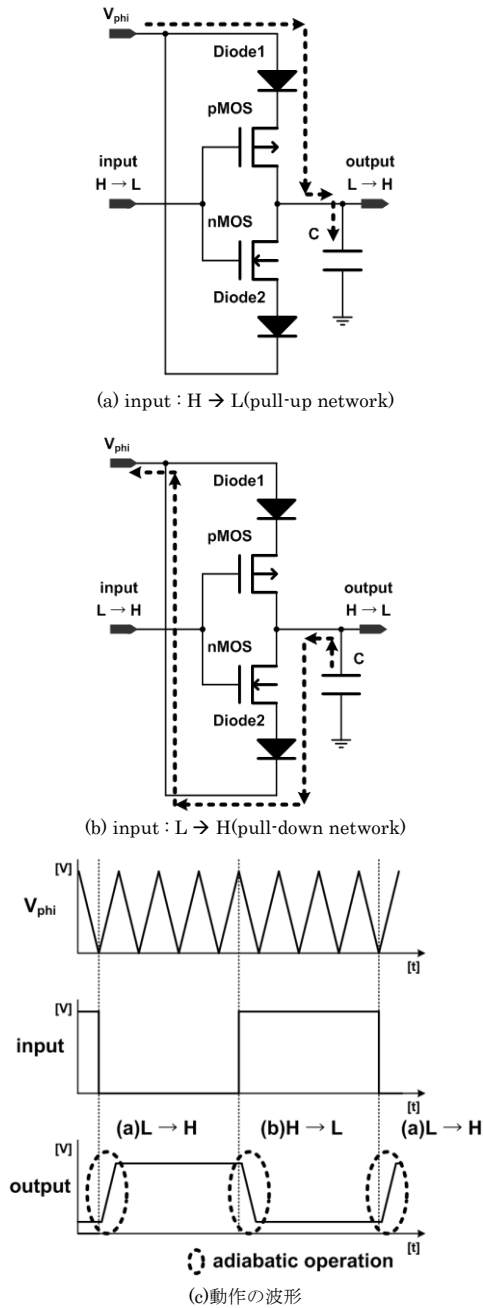


図 2. ADCL inverter と動作の波形

Fig. 2. ADCL inverter and operation waveforms

V_{phi} を電源に使用して断熱的な動作をして、ダイオードを利用して high と low 両方を維持する。

input が low である時 pMOS が on, nMOS が off になる。この時、交流電源 V_{phi} が上昇すれば、Diode1 が順方向バイアスになりながら負荷 C に V_{phi} の電圧の増加量の程度で電荷を充電しながら断熱的な動作をする。以後 V_{phi} が下降すれば、Diode1 が逆方向バイアスになるため負荷 C は放電ができず出力は high を維持する。

input が high である時 pMOS が off, nMOS が on になる。この時、交流電源 V_{phi} が下降すれば、Diode2 が順方向バイアスになり負荷 C に V_{phi} の電圧の減少量の程度で電荷

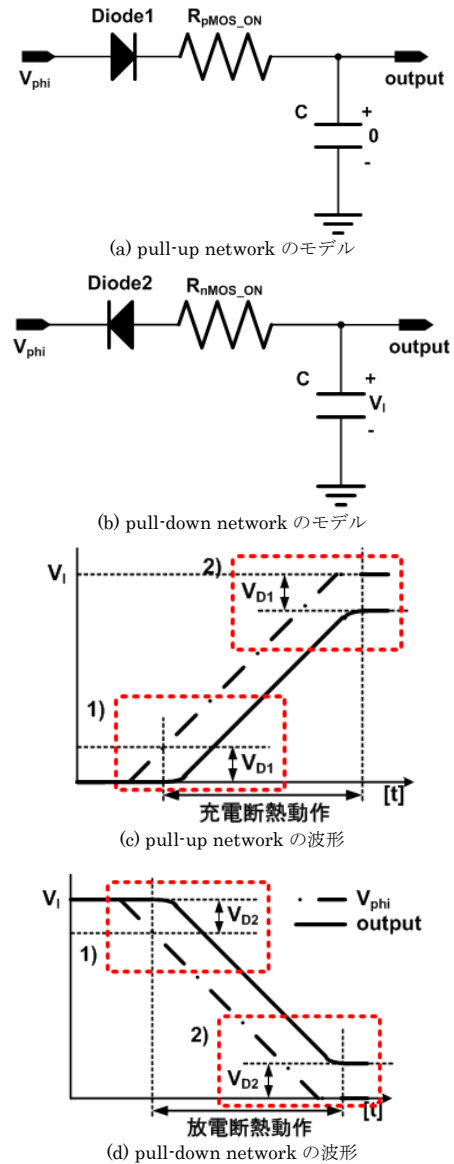


図 3. ADCL におけるダイオードによる特徴

Fig. 3. Features due to diodes in ADCL

を放電しながら断熱的な動作をする。電源の方で放電して電荷の再利用が可能である。以後 V_{phi} が上昇すれば、Diode2 が逆方向バイアスになるため負荷 C は充電ができず出力は low を維持する。

断熱的論理回路は出力波形の上昇と下降、両方で断熱的な動作をし、負荷 capacitor の放電時、電源に電荷が戻されて電荷の再利用が可能である。しかし、入・出力信号の間に交流電源の半周期の程度の遅延がある。また、入力信号との同期化が可能で電荷再利用の可能な電源部が必要であり、二つのダイオードと容量が大きい負荷 C を使うので設計の面積が大きくなる。

3. ADCL の低消費電力の効果

〈3・1〉 入力信号の位相差による消費電力の変化

逆流防止又は出力電圧レベルを維持するため、ADCL は 1

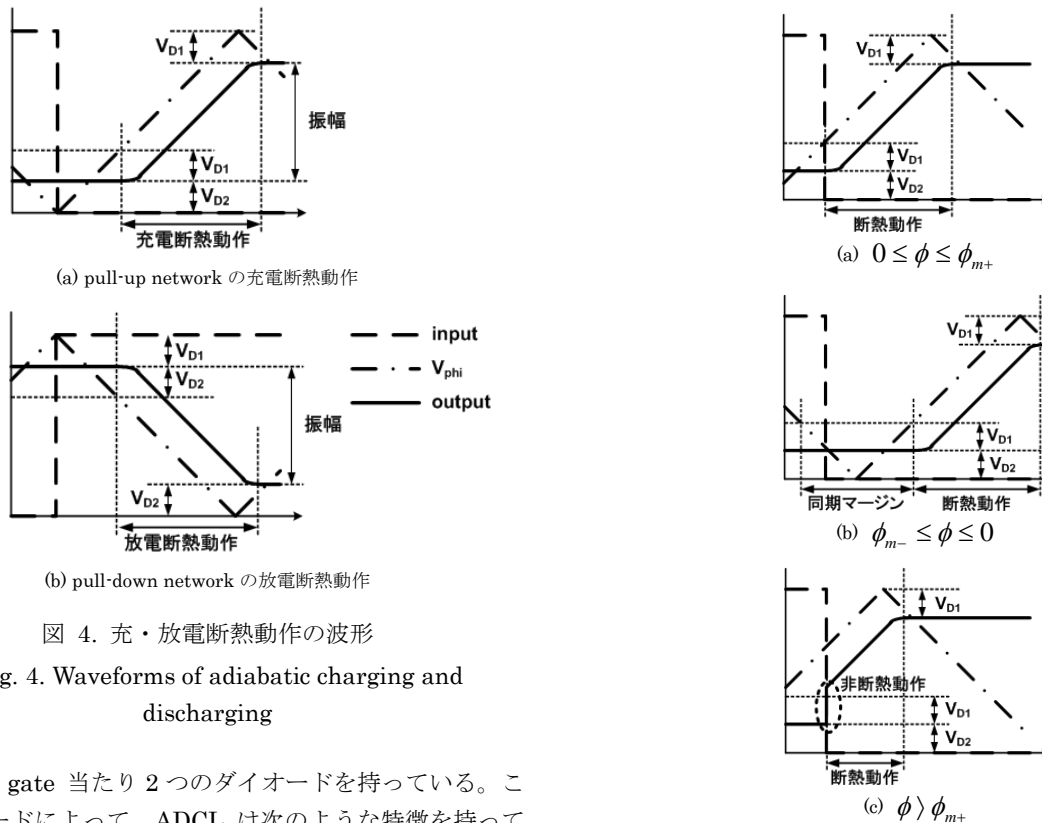


図 4. 充・放電断熱動作の波形
Fig. 4. Waveforms of adiabatic charging and discharging

つの logic gate 当たり 2つのダイオードを持っている。このダイオードによって、ADCL は次のような特徴を持っている。①ダイオードが turn-on になる電圧が交流電源から供給される時から充・放電の断熱動作が始まる。②このダイオードの cut-in 電圧(V_D)によって出力信号の振幅は電源から $V_{D1}+V_{D2}$ を除いただけに減る。

図 3(c)と(d)の 1)は特徴①を示す。nMOS が off で pMOS が on である pull-up network の場合(図 3(a))、Diode1 のカソードより大きい電圧が交流電源から供給されて Diode1 が turn-on になりながら負荷 C に充電断熱動作が始まる。反対に nMOS が on で pMOS が off である pull-down network の場合(図 3(b))、Diode2 のアノードより小さい電圧が交流電源から供給されて Diode2 が turn-on になりながら負荷 C に放電断熱動作が始まる。

図 3(c)と(d)の 2)は特徴②を示す。pull-up network の場合、交流電源が 0 で上昇して最高値である V_I を供給した時、負荷 C には V_I-V_{D1} まで充電される。反対に pull-down network の場合、交流電源が V_I で下降して最低値である 0(ground)を供給される時 C には V_{D2} まで放電される。従って、出力信号の振幅は交流電源の振幅である 0 から V_I までに二つのダイオードの電圧を除いた V_{D2} から V_I-V_{D1} までの $V_I-(V_{D1}+V_{D2})$ になる。

図 4(a)で示すように、入力信号によって pull-up network になっても交流電源が $V_{D1}+V_{D2}$ より小さい場合は充電断熱動作をしないが、交流電源が $V_{D1}+V_{D2}$ より大きい時から充電断熱動作が始まる。一方、図 4 (b)で示すように、入力信号によって pull-down network になっても交流電源が $V_I-(V_{D1}+V_{D2})$ よりも大きい場合、放電断熱動作をしないが、交流電源が $V_I-(V_{D1}+V_{D2})$ より小さいときから放電断熱動作

図 5. pull-up network における非同期区間による出力波形の比較

Fig. 5. Comparison of waveforms due to pried of nonsynchronization in pull-up network

が始まる。

ADCL における断熱動作のための入力信号と交流電源の同期条件は入力信号が high から low になる時、つまり pull-up network の時に交流電源が $V_{D1}+V_{D2}$ から上昇することであり、入力信号が low から high になる時、つまり pull-down network の時に交流電源が $V_I-(V_{D1}+V_{D2})$ から下降することである。

(3.2) ADCL の低消費電力効果最大化の条件

ADCL で同期が合わず発生する非断熱動作は断熱動作による消費電力より高い消費電力を招く。従って、ADCL における低消費電力効果を最大化するためには非断熱動作が現れないように入力信号と交流電源の同期を合わせる必要がある。

3.1 で説明した入力信号と交流電源の位相差による消費電力変化で確認したように、pull-up network で交流電源が $V_{D1}+V_{D2}$ より小さい場合で電圧の変化は出力信号に影響を与えず、非断熱動作が現れないので消費電力の変化もない。また、pull-down network で交流電源が $V_I-(V_{D1}+V_{D2})$ より大きい場合で電圧の変化は出力信号に影響を与えず、非断熱動作が現れないので消費電力の変化もない。

出力信号と消費電力に対する影響がない部分を同期のマージンと定義することができ、その範囲 ϕ_M は次の式である。

$$-\frac{V_{D1}+V_{D2}}{V_I}\tau \leq \phi_M \leq \frac{V_{D1}+V_{D2}}{V_I}\tau \dots\dots\dots(10)$$

従って、ADCL の低消費電力効果の最大化の条件はマージン ϕ_m の範囲で入力信号と交流電源の同期を合わせることである。

pull-up network で交流電源が $V_{D1}+V_{D2}$ より小さい場合には電流が流れないため、消費電力が発生しない。そのために図 5(a), (b)に示すように $V_{D1}+V_{D2}$ より小さい所のどこでも pull-up network になっても消費電力と出力信号に対する影響がない。しかし、図 5(c)に示すように同期化条件に合わない場合は断熱動作の区間が減っており、非断熱動作の区間が現れる。これは、高い消費電力を招く。

同期のマージンを利用し、従来の入力信号と交流電源の厳格な同期条件を変更することができ、簡単に同期化回路の設計仕様を決めることが可能である。従来の同期回路の設計仕様は交流電源が V_I の時に入力信号が立ち上がっており、交流電源が 0(ground)の時に入力信号が立ち下がる事を目指した。しかし、同期のマージンを利用すれば、同期回路の設計仕様は交流電源が $V_I(V_{D1}+V_{D2})$ より大きい領域では入力信号が立ち上がる事と交流電源が $V_{D1}+V_{D2}$ より小さな領域では入力信号が立ち下がる事に変更できる。

4. 回路シミュレーション

提示した ADCL 低消費電力の効果最大化できる条件を確認するために 1.2um 標準 CMOS モデルを用いた回路シミュレーションして提案した設計仕様の妥当性を確認する。

まず、1.2um 標準 CMOS モデルの時に同期のマージンを計算する。1.2um 標準 CMOS モデルを用いて図 2 の ADCL inverter を設計する時、ダイオードは MOS diode connection を使う。従って、 V_{D1} は 0.9V で V_{D2} は 0.82V である。また、 V_I は 5V で τ は 15us である。その時、式(10)の同期のマージンを計算すると

$$-5.332 \leq \phi_{M_Cal} \leq 5.332 \dots\dots\dots(11)$$

になる。

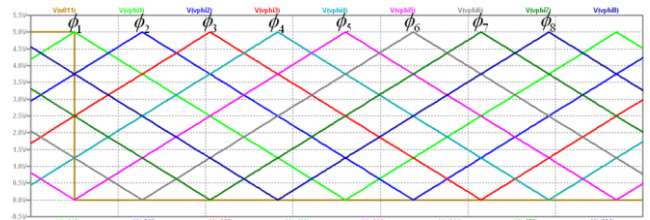
次は、ADCL inverter をシミュレーションした。表 1 はシミュレーション条件を示す。交流電源の ϕ を変更して出力信号の変化と消費電力の変化を確認した。

表 1. シミュレーション条件及び電源

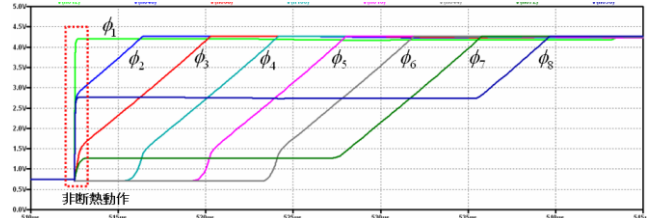
Table 1. Conditions of simulation and powers

入力信号	周波数 : 3kHz, V_{pp} : 5V, V_{offset} : 2.5V
DC 電源	5V
交流電源	周波数 : 33kHz, V_{pp} : 5V, V_{offset} : 2.5V $\phi_1=15.5\text{us}$, $\phi_2=11.625\text{us}$, $\phi_3=7.75\text{us}$, $\phi_4=3.875\text{us}$, $\phi_5=0$, $\phi_6=-3.875\text{us}$, $\phi_7=-7.75\text{us}$, $\phi_8=-11.625\text{us}$

図 6 はシミュレーションの結果を表す。 ϕ_4 , ϕ_6 と ϕ_5 の時は断熱動作区間と出力波形が同じなのでマージンの範囲である。他の交流電源では非断熱動作が現れ始め、特に ϕ_1



(a) 入力信号と交流信号



(b) ADCL inverter 出力信号

図 6. pull-up network における信号の比較

Fig. 6. Comparison of waveforms for pull-up network

表 2. 消費エネルギーの比較

Table 2. Comparison of power consumption

非同期区間(us)	消費エネルギー(nJ)	備考
$\phi_1 = 15.5$	145.296	
$\phi_2 = 11.625$	127.238	非断熱動作有
$\phi_3 = 7.75$	118.850	
$\phi_4 = 3.875$	118.546	マージンの範囲
$\phi_5 = 0$	118.519	
$\phi_6 = -3.875$	118.581	
$\phi_7 = -7.75$	118.592	
$\phi_8 = -11.625$	140.216	非断熱動作有

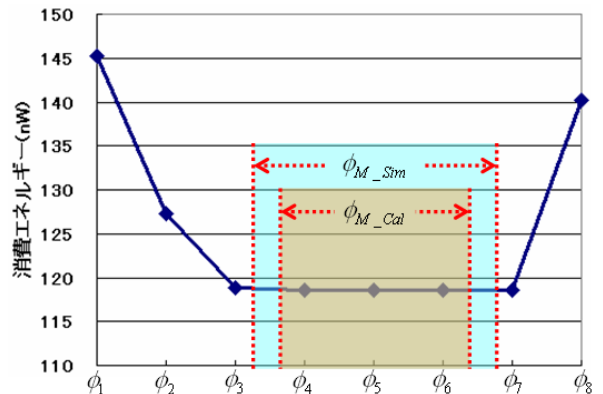


図 7. 計算とシミュレーションのマージンの範囲の比較

Fig. 7. Comparison of margin region ϕ_M and ϕ_{M_Sim}

の出力波形は CMOS 論理回路と同様になった。

表 2 は計算した消費エネルギーを示す。 ϕ_5 と ϕ_7 は消費エ

エネルギーがほぼ同一である。しかし、 ϕ_3 、 ϕ_7 は pull-down network が始まる時 $V_{D1}+V_{D2}$ より大きな交流電圧であるので出力波形には短い非断熱動作が現れた。従って、 ϕ_3 、 ϕ_7 はマージンの範囲外である。

シミュレーションで正確なマージンの範囲を確認するために ϕ_3 と ϕ_4 の間と ϕ_6 と ϕ_7 の間を細かく設定した。その結果、

$$-7.5 \leq \phi_{M_Sim} \leq 7.5 \dots\dots\dots (12)$$

になった。ダイオードを MOS diode connection を使って設計したので body effect によって MOS diode の V_D が大きくなって計算の ϕ_{M_Cal} よりシミュレーションの ϕ_{M_Sim} の方が広がった。図 7 は式(11)と(12)を比較することを示す。

従って、式(10)のマージン範囲内で入力信号と交流電源の同期を満足することが ADCL の低消費電力効果を最大化する条件という事がシミュレーションを通じて分かった。

5. 結論

ADCL における入力信号と交流電源の間に位相の同期に対する条件は低消費電力効果を最大化できる。ADCL で同期が合わず発生する非断熱動作は断熱動作による消費電力より高い消費電力を招く。従って、ADCL における低消費電力効果を最大化するためには非断熱動作が現れないように入力信号と交流電源の同期を合わせる必要がある。

本論文では、ADCL の構成的な特徴を解析して、交流信号と入力信号の位相差による出力信号と消費電力の変化について考察した。それを基に、低消費電力の効果を最大化できる条件を提示して断熱的論理回路用同期化回路設計における指針を提案した。回路シミュレーションを用いて、提案した設計仕様の妥当性を確認した結果、提案設計において断熱的論理回路の低消費電力効果を最大化できる事が分かった。

文 献

(1) W. C. Athas, L. J. Svensson, J. G. Koller, N. Tzartzains, and E. YC.Chou, "Low-power digital systems based on adiabatic-switching principles," IEEE Trans. Very Large Scale Integr. (VLSI) Syst., vol. 2, no. 4, pp. 398-407, April 1994.

(2) A. G. Dickinson and J. S. Dencker, "Adiabatic dynamic logic," IEEE J. Solid-States Circuits., vol. 30, no. 3, pp. 311-315, April 1995.

(3) K. Takahashi and M. Mizunuma, "Adiabatic dynamic CMOS logic circuit," IEICE of Japan, Technical Report of IEICE VLD 97-70, pp. 81-88, Sep. 1997.

(4) Y. Takahashi, K. Konta, K. Takahashi, K. Shouno, M. Yokoyama, and M. Mizunuma, "Carry propagation free adder/subtractor using adiabatic dynamic CMOS logic circuit technology," IEICE Trans. Fundamentals., vol. E86-A, no. 6, pp. 1437-1444, June 2003.

(5) Y. Takahashi, S. Nagano, N.Anuar, T. Sekine, and M.Yokoyama, "On chip LC resonator circuit using an active inductor for adiabatic logic," Proc. IEEE Int. Midwest Symp. Circuits Syst., Cancun, Mexico, pp. 1171-1174, Aug. 2009.

(6) 趙 勝一, 横山 道央, "断熱的論理回路用同期化 clock 発生器の低消費電力設計," 電気学会, 電子回路研究会, ECT-12-053, pp. 79-83,

June. 2012.

(7) S.-I. Cho, T. Harada, and M. Yokoyama, "Design of the ultra low-power synchronizer using ADCL buffer for adiabatic logic," IEICE Electronics Express, vol. 9 No. 20, pp. 1576-1585, Oct. 2012.

(8) S.-I. Cho, T. Harada, and M. Yokoyama, "Design of low-power clock generator synchronized with the AC power source using the ADCL buffer for adiabatic logics," The journal of Korea Institute of Electronic Communication Sciences, Vol.7, No.6, pp. 234-238, Dec. 2012.

(9) N. Anuar, Y. Takahashi, and T. Sekine, "4x4-bit array two phase clock adiabatic static CMOS logic multiplier with new XOR," Proc. IEEE/IFIP VLSI SoC, Madrid, Spain, pp. 364-368, Sept. 2010.

(10) S.-I. Cho, K. Aoyama, N. Sawada, M. Mizunuma, and M. Yokoyama, "Optimized Design of Low-power Adiabatic Dynamic CMOS Logic Digital PWM using Clock Cut-off and Miniaturization for SSL Dimming System," Proc. The 28th International Conference on Circuit/Systems, Computers and Communications(ITC-CSCC 2013), Yeosu, Korea, pp.218-221, June, 2013.

(11) 趙 勝一, 横山 道央, "断熱的論理回路を利用した LED 照明用 PWM 回路の低電力設計," 電気学会, 電子回路研究会, ECT-12-002, pp. 7-11, Jan. 2012.

(12) S.-I. Cho and M. Yokoyama "Design of low-power PWM for dimming system of the SSL using Adiabatic Dynamic CMOS Logic," Proc. 2nd International Symposium on Green Computing and Sustainable Society 2012(GCSS2012), Kitakyushu, Japan, pp. 27-30, Apr. 2012.