

# 断熱的論理回路を利用した LED 照明用 PWM 回路の低電力設計

趙 勝一、横山 道央 (山形大学)

## Design of low-power PWM circuit for LED lighting system using Adiabatic Logic

Seung-Il CHO, Michio YOKOYAMA

In this paper, we have studied about the low-power consumption design of the pulse width modulation(PWM) circuits which are dimming circuits of the light emitting diode(LED). We propose the digital 3bit PWM using adiabatic dynamic CMOS logic(ADCL). The power consumption of PWM circuits designed by the conventional CMOS logic and ADCL is compared and evaluated using the computer simulation and implementation.

キーワード： 低消費電力設計、CMOS、断熱的論理回路、LED 照明、PWM 回路  
(low-power design, CMOS, Adiabatic logic, LED lighting system, PWM circuits)

### 1. はじめに

最近、環境問題に対する全世界的な関心が高くなりながら電子機器の消費電力と電力の再利用に対する「green it」が注目されている。例えば smart grid, solar cell, hybrid electric vehicle の開発に対して関心が高くなっている。

また、照明でもエネルギー節減とエコ技術の開発の必要性が要求されている。白熱灯は低効率のため使用が規制されている趨勢であり、水銀と鉛が含有されている蛍光灯の場合も重金属使用規制(WEEE : Waste Electrical and Electronic Equipment, RoHS : Restriction of Hazardous Substances)によってますます使用が制限されている<sup>(1)(2)</sup>。このように環境親和的な新光源の必要性によって LED(light emitting diode)に対する開発が拡大されており、現在 LED は一般照明及びディスプレイに至るまで広い市場を形成している。

照明企業等は LED を利用した次世代照明市場を先行獲得するために LED だけではなくその駆動回路の低価格化と高効率化を目標に多くの研究を進行している。

LED 照明システムは電源部、照度調整部と LED 部で構成される。ここで照度調整部は主にパルス幅変調(pulse width modulation ; PWM)方式が使用されている。LED 照明システムの低電力のためには LED 部以外にも低電力設計する必要がある<sup>(3)~(5)</sup>。

論理回路の低消費電力化のために、既存の CMOS 論理回路で発生する電力損失を防止する断熱的論理回路(adiabatic dynamic CMOS logic ; ADCL)に対する研究が進行されている<sup>(6)(7)</sup>。

CMOS 論理回路は一定の電圧値を持つ直流電源を用い

て、出力のレベル high, low 変化によるエネルギー損失が発生する。一方、断熱的論理回路は high, low の変化に対して同期された交流電源を使うので電圧をゆっくり上昇・下降させることが可能でエネルギー損失を低減することができる<sup>(8)(9)</sup>。

本論文では LED 照明システムの照度調整回路である PWM を低消費電力化のため断熱的論理回路を使って設計する。そして CMOS 論理回路の消費電力と比較する。設計した CMOS デジタル 3bit PWM と ADCL デジタル 3bit PWM を PSpice OrCAD 10.3 を利用してシミュレーションする。次に、実際に基板上に製作して消費電力を測定し比較する。

### 2. 断熱的論理回路

#### 〈2・1〉 断熱的な動作

一般の CMOS 論理回路は一定の電圧値を持つ直流電源を使うので、入力急峻な high・low 変化によって短い時間に負荷 capacitor に電荷を充電することができず、論理回路の抵抗成分によってエネルギー損失が発生する。このエネルギー損失を最小化するために負荷 capacitor の容量を考慮して充・放電の時間より遅い上昇及び下降時間を持つ交流電源を使うのが断熱的な動作である<sup>(6)(7)</sup>。

図 1 は基本的な RC 回路で直流信号の動作と断熱的な動作を表したものである。(b)は入力が直流電圧の動作の時の電圧波形を表し、low から high に変化する時、負荷 C に電荷の充電が終了するまでの時間に抵抗でエネルギーを損失する。一方 (c)は入力が RC 回路の充電時間より遅い上昇時間を持つ交流電圧の動作時の電圧波形を表し、抵抗の両端の電位差をなくす事でエネルギー損失を低減する。

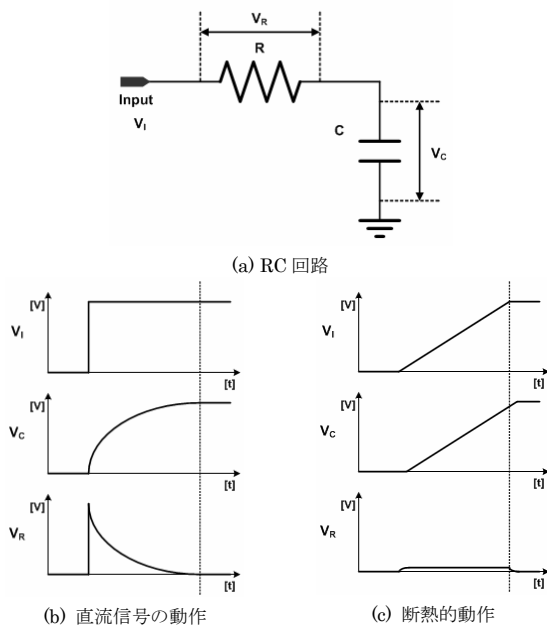


図 1 基本的な RC 回路での直流信号の動作と断熱的動作  
Fig. 1. Operation of the DC signal and the adiabatic charging at normal RC circuit

### (2・2) 断熱的論理回路(Adiabatic dynamic CMOS logic; ADCL)

ADCL は断熱的な動作を CMOS logic に適用した回路で、CMOS logic、逆流防止のための 2 個の diode と交流電源で構成される<sup>(8) (9)</sup>。図 2 は 論理回路の基本である ADCL inverter と動作の波形を示したものである。

入力信号 input で pMOS と nMOS を on, off して CMOS inverter と等しい 論理動作をする。三角波である交流信号  $V_{phi}$  を電源に使って断熱的な動作をして、diode を利用して high と low 両方を維持する。

input が low である時 pMOS が on, nMOS が off になる。この時、交流電源  $V_{phi}$  が上昇すれば、Diode1 が forward bias になりながら負荷 C に  $V_{phi}$  の電圧の増加量の程度で電荷を充電しながら断熱的な動作をする。以後  $V_{phi}$  が下降すれば、Diode1 が reverse bias になるため負荷 C は放電ができず出力は high を維持する。

input が high である時 pMOS が off, nMOS が on になる。この時、交流電源  $V_{phi}$  が下降すれば、Diode2 が forward bias になり負荷 C に  $V_{phi}$  の電圧の減少量の程度で電荷を放電しながら断熱的な動作をする。電源の方で放電して電荷の再利用が可能である。以後  $V_{phi}$  が上昇すれば、Diode2 が reverse bias になるため負荷 C は充電ができず出力は low を維持する。

ADCL は出力波形の上昇と下降、両方で断熱的な動作をし、負荷 capacitor の放電時、電源に電荷が戻されて電荷の再利用が可能である。しかし、入・出力信号の間に交流電源の半周期の程度の遅延がある。また、入力信号との同期化が可能で電荷再利用の可能な電源部が必要であり、二つの diode と容量が大きい capacitor を使うので設計の面積が

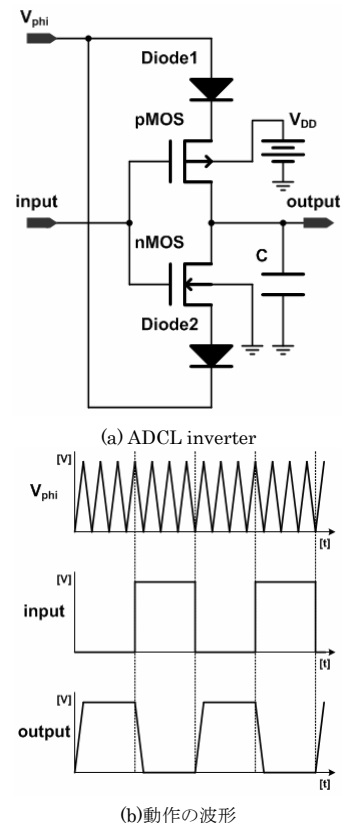


図 2. ADCL inverter と動作の波形  
Fig. 2. ADCL inverter and operation waves

大きくなる。

### 3. 3bit PWM の設計及び PSpice シミュレーション結果

本論文では LED 照明の照度調整回路であるデジタル 3bit PWM 回路を一般 CMOS と ADCL を利用して設計して消費電力を比較する。PWM の設計は表 1 の MOS level-3 model library を使った。

表 1. MOS level-3 model library  
Table 1. MOS level-3 model library

	pMOS	nMOS		pMOS	nMOS
Width	5e-6	5e-6	Rsh	8	18
Length	1.5e-6	1.5e-6	ld	0.35e-6	0.25e-6
Vto	-0.9	0.82	nsub	1.5e16	1.5e16
Tox	2.5e-8	2.5e-8	cgso	2.7e-10	2.7e-10
Uo	190	550	cgdo	2.7e-10	2.7e-10
Gamma	0.7	0.75	xj	0.4e-6	0.3e-6
Delta	0.7	0.5	cj	4.5e-4	2.7e-4
Theta	0.11	0.05	mj	0.43	0.45
Eta	0.13	0.01	cjsw	5.4e-10	4.2e-10
Kappa	2.0	0.2	mjsw	0.37	0.31

図3は設計したデジタル3bit PWMである。Loadが1ならresetになって、LD0、LD1とLD2で出力パルス幅を調整することができる。例えばLD0がlow、LD1がlow、LD2がhigh(001)ならパルス幅が33%となり、LD0がlow、LD1がhigh、LD2がhigh(011)ならパルス幅が66%になる。PWMの出力パルスの幅でLEDの照度を調整する。

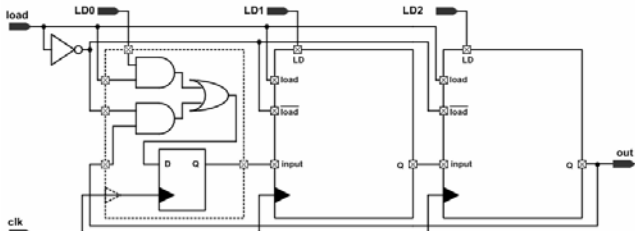


図3 デジタル3bit PWM  
Fig. 3. Digital 3bit PWM

設計したCMOSデジタル3bit PWMとADCLデジタル3bit PWMのシミュレーションにはPSpice OrCAD 10.3を利用した。シミュレーション条件及び電源は表2に示した。

表2. シミュレーション条件及び電源

Table 2. Conditions of simulation and powers

三角波	周波数: 33kHz, $V_{pp}$ : 5V, $V_{offset}$ : 2.5V
Clock	周波数: 3kHz, $V_{pp}$ : 5V, $V_{offset}$ : 2.5V
DC電源	5V
入力bit(3bit)	000, 001, 011, 111
シミュレーションの時間	50ms

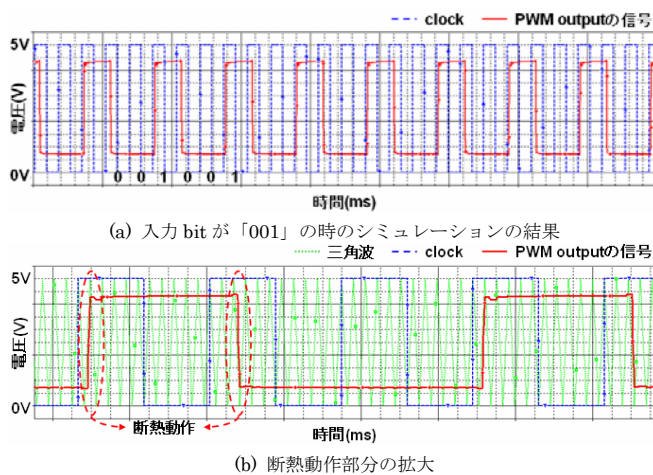


図4 PSpiceシミュレーションの結果  
Fig. 4. The result of PSpice simulation

図4に入力bitが「001」の時ADCLデジタル3bit PWMのシミュレーション結果を表した。PWMの出力信号のパル

ス幅は約33%であり、ADCLの特性である断熱動作をすることを確認することができた。

表3と図5にCMOSデジタル3bit PWMとADCLデジタル3bit PWMの消費電力を比較した。

表3. 消費電力の比較

Table 3. Comparison of power consumption

	[単位: nW]			
	000	001	011	111
CMOS 3bit PWM	737.22	1286.50	1159.08	361.92
ADCL 3bit PWM	243.52	410.80	351.36	81.86

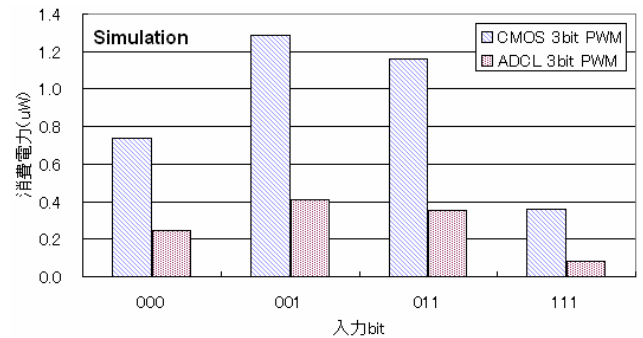


図5 消費電力の比較

Fig. 5. Comparison of power consumption

断熱動作と電荷の再利用が可能なADCLデジタル3bit PWMの消費電力の方がCMOSデジタル3bit PWMの方より入力bitの全パターンで約1/4以下と低い事が分かった。

#### 4. 製作及び測定結果

ADCLデジタル3bit PWMとCMOSデジタル3bit PWMの実測をするために15cm×15cmのプリント基板、2SK1062(nMOS)、2SJ168(pMOS)、1SS400(diode)と負荷capacitor 1000pFを使って製作した。製作した基板は図6に表した。

製作したADCLデジタル3bit PWMとCMOSデジタル3bit PWMの基板を実測するための実験環境を図7に示す。

CMOSデジタル3bit PWMの出力波形を確認した結果、入力bitによるPWMの出力波形の幅の変化が正常なことを確認した。また、ADCLデジタル3bit PWMの出力波形を確認した結果、入力bitによるPWMの出力波形の幅の変化が正常であり、断熱動作も正常なことを確認した。

消費電力の比較を表4と図9に表した。実測の結果はシミュレーションの結果と同じ傾向であり、ADCLデジタル3bit PWMの消費電力の方がCMOSデジタル3bit PWMの方より低いことを確認した。



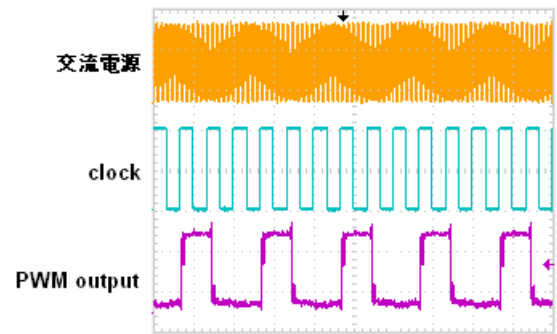
(a) CMOS デジタル 3bit PWM 基板



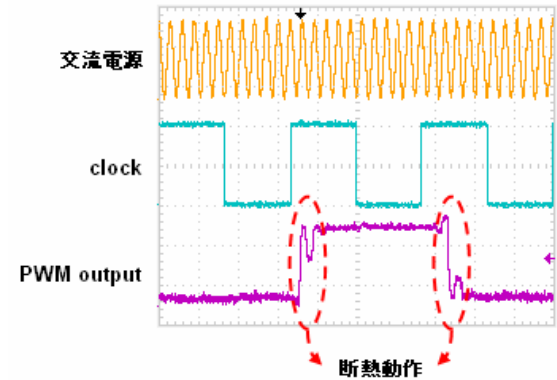
(b) ADCL デジタル 3bit PWM 基板

図 6 製作したデジタル 3bit PWM 基板

Fig. 6. PCB of digital 3bit PWM



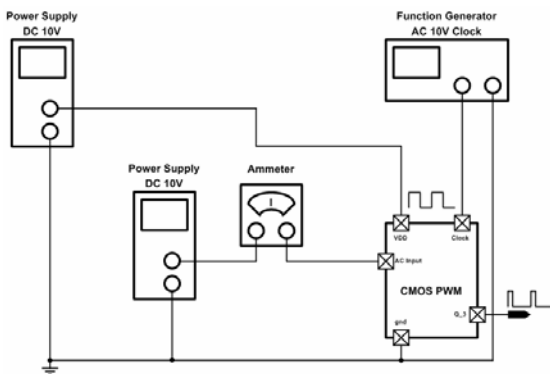
(a) 入力 bit が「001」の時の測定結果



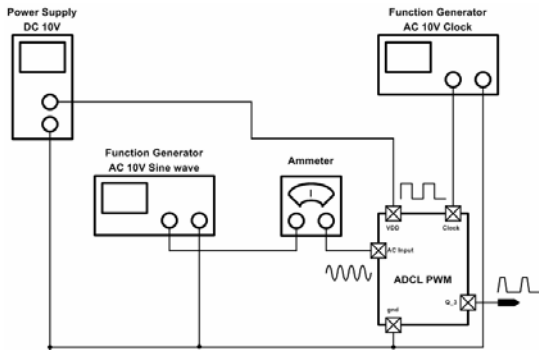
(b) 断熱動作部分の拡大

図 8 測定結果

Fig. 8. The result of measurement



(a) CMOS デジタル 3bit PWM 基板の測定環境



(b) ADCL デジタル 3bit PWM 基板の測定環境

図 7 デジタル 3bit PWM 基板の測定環境

Fig. 7. Environmental measurement of digital 3bit PWM

表 4. 消費電力の比較

Table 4. Comparison of power consumption

	[単位 : mW]			
	000	001	011	111
CMOS 3bit PWM	12.52	13.73	13.30	9.14
ADCL 3bit PWM	0.52	0.76	0.55	0.38

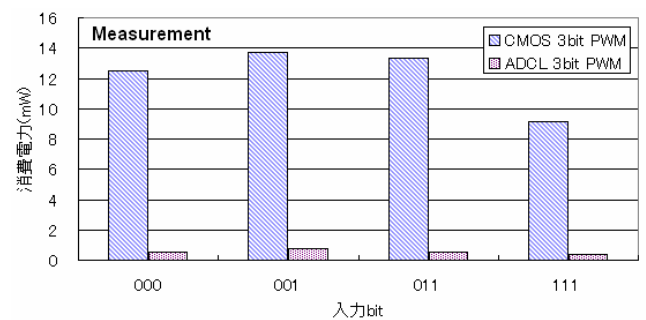


図 9 消費電力の比較

Fig. 9. Comparison of power consumption

## 5. おわりに

本論文では省エネルギーで注目されている LED 照明の照度調整回路に断熱的な動作をする ADCL 論理回路を適用したデジタル 3bit PWM を設計した。ADCL デジタル 3bit PWM と CMOS デジタル 3bit PWM の検証のためシミュ

レーションと製作及び測定をし、それぞれの消費電力を比較した。消費電力の比較結果はADCLデジタル3bit PWMの消費電力の方がCMOSデジタル3bit PWMの方より低い事が分かった。

本論文でシミュレーションと実測をする時 signal generator を使って交流電源と clock を供給した。この signal generator は理想的な電源なので実際電源部を設計して測定する場合は消費電力の差が少なくなる可能性もある。

ADCL 論理回路は断熱的な動作が可能であり、入力信号及び clock と同期化された交流電源を設計して、負荷 capacitor の放電した電荷を再利用することができる電源部が必要である。もし、ADCL 論理回路の専用電源部が設計できればLED照明の超低消費電力照度調整回路が実現すると考えられる。

## 謝辞

本論文の研究内容はタカハタ電子(株)との共同研究によって遂行されました。多大な協力をしていただいたタカハタ電子(株)の関係各位の皆様に心より感謝申し上げます。

## 文 献

- (1) 青木 正光, “欧州の環境規制-WEEE/RoHS&REACH”, 表面技術誌, Vol. 57, No.12, pp813-822, 2006.
- (2) 太田 周一, 鈴木 和幸, “電子回路基板のリユース信頼性予測”, REAJ 誌, Vol.31, No.2, pp165-180, 2009.
- (3) M. Doshi and R. Zane, “Control of Solid-State Lamps Using a Multiphase Pulsewidth Modulation Technique”, IEEE Transactions on Power Electronics, Vol. 25, No. 7, pp1894 – 1904, July 2010.
- (4) J. Garcia, A.J. Calleja, E. López Corominas, D. Gacio Vaquero and L. Campa, “Interleaved Buck Converter for Fast PWM Dimming of High-Brightness LEDs”, IEEE Transactions on Power Electronics, Vol. 26, No. 9, pp2627–2636, September 2011.
- (5) D. Gacio, J.M. Alonso, J. Garcia, L. Campa, M. Crespo and M. Rico-Secades, “High Frequency PWM Dimming Technique for High Power Factor Converters in LED Lighting”, Applied Power Electronics Conference and Exposition 2010. APEC 2010. , pp743-749, 21-25 Feb. 2010
- (6) W. C. Athas, L. J. Svensson, J. G. Koller, N. Tzartzains, and E. YC.Chou, “Low-power digital systems based on adiabatic-switching principles,” IEEE Trans. Very Large Scale Integr. (VLSI) Syst., vol. 2, no. 4, pp. 398–407, April 1994
- (7) A. G. Dickinson and J. S. Dencker, “Adiabatic dynamic logic”, IEEE J. Solid-States Circuits., vol. 30, no. 3, pp. 311-315, April 1995
- (8) K. Takahashi and M. Mizunuma, “Adiabatic dynamic CMOS logic circuit”, IEICE of Japan, Technical Report of IEICE VLD 97-70, pp81-88, Sep. 1997.
- (9) Y. Takahashi, K. Konta, K. Takahashi, K. Shouno, M. Yokoyama, and M. Mizunuma, “Carry propagation free adder/subtractor using adiabatic dynamic CMOS logic circuit technology”, IEICE Trans. Fundamentals., vol. E86-A, no. 6, pp.1437.1444, June 2003.