

断熱的論理回路用同期化 clock 発生器の低消費電力設計

趙 勝一* 横山 道央 (山形大学)

Design of low-power clock generator synchronized with AC power for adiabatic logic
Seung-Il CHO*, Michio YOKOYAMA (Yamagata University)

In this paper, low-power clock generator synchronized with AC power supply for adiabatic logic is proposed. The designed circuit consists of the Schmitt trigger and digital counter. The simulation result has shown that power consumption of the proposed generator is lower than that of conventional PLL or DLL.

キーワード：同期回路, clock 発生器, 低消費電力設計, 断熱的論理回路
(synchronization, clock generator, low-power design, adiabatic logic)

1. 序論

高速無線データ通信 (high rate data communication; HRD) と大規模集積回路 (large scale integrated circuit; LSI) の発展によって個人用携帯端末機 (personal digital assistant; PDA, smart phone, tablet PC) の開発に関心が高くなっており、これらの使用が急増している。このような無線端末器の携帯性、限定された電源の長期間使用のために小型化及び低消費電力に対する研究が盛んに行われている。

論理回路の低消費電力化のために、既存の CMOS 論理回路で発生する電力損失を低減する断熱的論理回路 (adiabatic dynamic CMOS logic; ADCL) の研究が進行されている^{(1)~(3)}。CMOS 論理回路は一定の電圧値を持つ直流電源を用いて、出力のレベル high, low 変化によるエネルギー損失が発生する。一方、断熱的論理回路は high, low の変化に対して同期された交流電源を使うので電圧をゆっくり上昇・下降させることが可能でエネルギー損失を低減することができる^{(4)~(6)}。論理回路の clock 信号が立ち上がる時、交流電源電圧が立ち下がることと、反対に clock 信号が立ち下がる時交流電源電圧が立ち上がるものが同期化であり、この時断熱的な動作となり大きな消費電力低減が期待される。

交流電源と clock 信号発生器を別に設計する場合、断熱的な動作のために同期化回路が必要である。交流信号の同期化方式で phase locked loop (PLL) と delay locked loop (DLL) が使われている。しかし PLL と DLL の消費電力は非常に大きい^{(7)~(12)}。従って、消費電力が低く断熱的な動作が可能な ADCL 用の同期化回路が必要である。

本論文では、交流電源と clock 信号の同期化のための断熱的論理回路用低消費電力 clock 発生器を提案する。設計した

「Schmitt trigger」と「digital counter」を利用して従来の同期化回路 (PLL, DLL) より低消費電力で、断熱的な動作に必要な同期がとれる clock 発生器を設計する。

2 章では断熱的論理回路の基本動作である断熱的充・放電に対して説明し、断熱的論理回路と電源部について説明する。3 章では Schmitt trigger と digital counter を利用して断熱動作用の同期化 clock 発生器を設計する。4 章では PSpice シミュレーションで設計した clock 発生器の動作と消費電力を計算して従来の同期化回路と消費電力を比較する。最後は 5 章結論である。

2. 断熱的論理回路

〈2・1〉 断熱的な動作

一般の CMOS 論理回路は一定の電圧値を持つ直流電源を使うので、入力急峻な high・low 変化によって短い時間に負荷 capacitor に電荷を充電することができず、論理回路の抵抗成分によってエネルギー損失が発生する。このエネルギー損失を最小化するために負荷 capacitor の容量を考慮して充・放電の時間より遅い上昇及び下降時間を持つ交流電源を使うのが断熱的な動作である⁽¹⁾⁽²⁾。

図 1 は基本的な RC 回路で直流信号の動作と断熱的な動作を表したものである。(b) は入力が直流電圧の動作の時の電圧波形を表し、low から high に変化する時、負荷 C に電荷の充電が終了するまでの時間に抵抗でエネルギーを損失する。

この時(a)の電流は

$$i(t) = \frac{V_i}{R} e^{-\frac{t}{CR}} \dots \dots \dots (1)$$

である。抵抗 R の電圧は

$$v_R(t) = V_i e^{-\frac{t}{CR}} \dots \dots \dots (2)$$

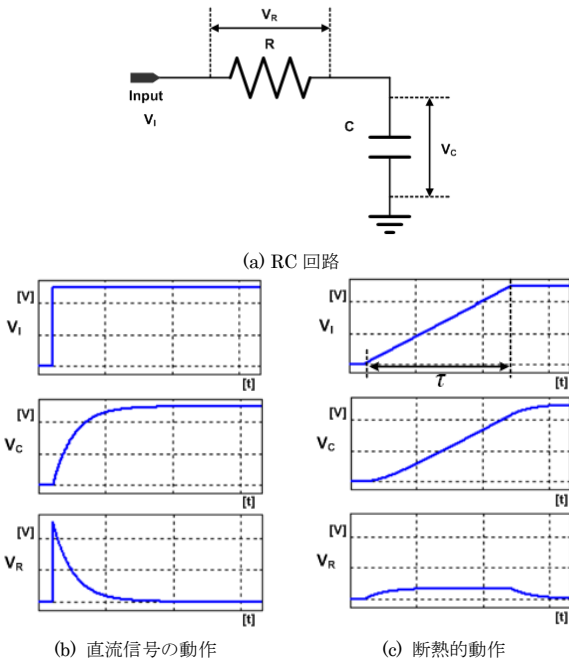


図 1 基本的な RC 回路での直流信号の動作と断熱的動作
 Fig. 1. Operation of the DC signal and the adiabatic charging at normal RC circuit

である。従って、抵抗 R の消費電力は

$$p_R(t) = \frac{V_i^2}{R} e^{-\frac{2t}{CR}} \dots\dots\dots (3)$$

になる。

一方 (c) は入力 RC 回路の充電時間より遅い上昇時間を持つ交流電圧の動作時の電圧波形を表し、抵抗の両端の電位差をなくす事でエネルギー損失を低減する。

この時(a)の電流は

$$i(t) = \frac{CV_i}{\tau} \left[\left(1 - e^{-\frac{t}{CR}} \right) - \left(1 - e^{-\frac{t-\tau}{CR}} \right) u(t-\tau) \right] \dots\dots\dots (4)$$

である。抵抗 R の電圧は

$$v_R(t) = \frac{RCV_i}{\tau} \left[\left(1 - e^{-\frac{t}{CR}} \right) - \left(1 - e^{-\frac{t-\tau}{CR}} \right) u(t-\tau) \right] \dots\dots\dots (5)$$

である。従って、抵抗 R の消費電力は

$$p_R(t) = R \left[\frac{CV_i}{\tau} \left[\left(1 - e^{-\frac{t}{CR}} \right) - \left(1 - e^{-\frac{t-\tau}{CR}} \right) u(t-\tau) \right] \right]^2 \dots\dots\dots (6)$$

になる⁽³⁾。

〈2・2〉 断熱的論理回路(adiabatic dynamic CMOS logic; ADCL)

ADCL は断熱的な動作を CMOS 論理回路に適用した回路で、CMOS 論理回路、逆流防止のための 2 個の diode と交流電源で構成される⁽⁴⁾⁻⁽⁶⁾。図 2 は 論理回路の基本である ADCL inverter と動作の波形を示したものである。

入力信号 input で pMOS と nMOS を on・off して CMOS inverter と等しい 論理動作をする。三角波である交流信号

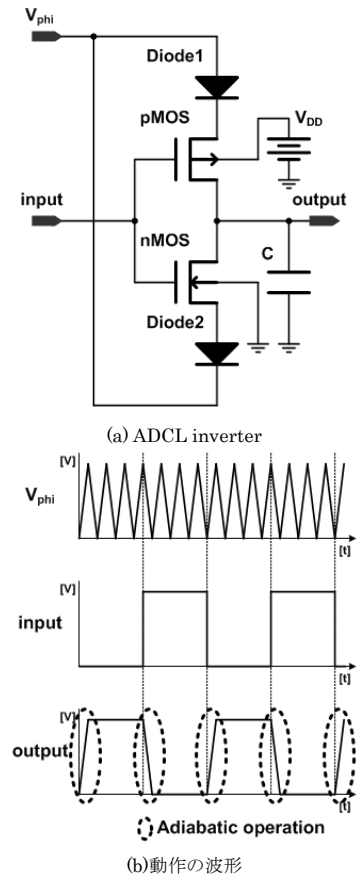


図 2. ADCL inverter と動作の波形
 Fig. 2. ADCL inverter and operation waveforms

V_{phi} を電源に使用して断熱的な動作をして、diode を利用して high と low 両方を維持する。

input が low である時 pMOS が on、nMOS が off になる。この時、交流電源 V_{phi} が上昇すれば、Diode1 が forward bias になりながら負荷 C に V_{phi} の電圧の増加量の程度で電荷を充電しながら断熱的な動作をする。以後 V_{phi} が下降すれば、Diode1 が reverse bias になるため負荷 C は放電ができず出力は high を維持する。

input が high である時 pMOS が off、nMOS が on になる。この時、交流電源 V_{phi} が下降すれば、Diode2 が forward bias になり負荷 C に V_{phi} の電圧の減少量の程度で電荷を放電しながら断熱的な動作をする。電源の方が放電して電荷の再利用が可能である。以後 V_{phi} が上昇すれば、Diode2 が reverse bias になるため負荷 C は充電ができず出力は low を維持する。

断熱的論理回路は出力波形の上昇と下降、両方で断熱的な動作をし、負荷 capacitor の放電時、電源に電荷が戻されて電荷の再利用が可能である。しかし、入・出力信号の間に交流電源の半周期の程度の遅延がある。また、入力信号との同期化が可能で電荷再利用の可能な電源部が必要であり、二つの diode と容量が大きい capacitor を使うので設計の面積が大きくなる。

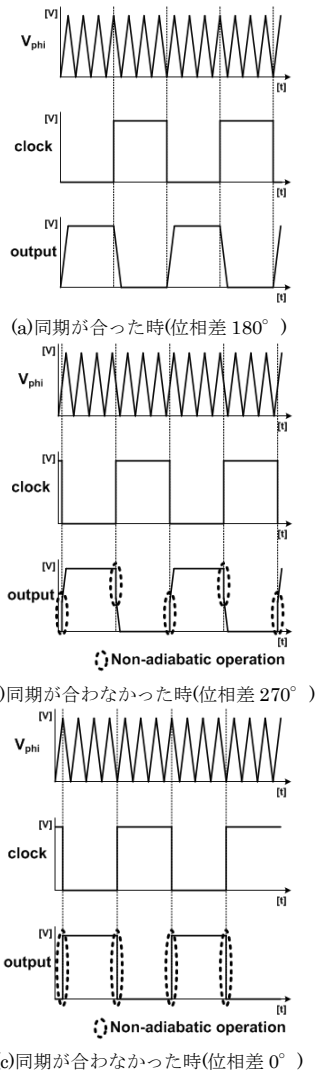


図 3. 交流電源と clock 信号の同期の関係

Fig. 3. The relation of synchronization between AC power signal and clock signal

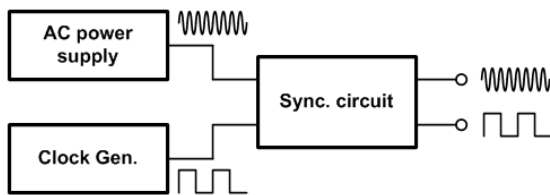


図 4. 同期化回路を使用した電源部

Fig. 4. The power part using a synchronizer

〈2・3〉 断熱的論理回路の電源部

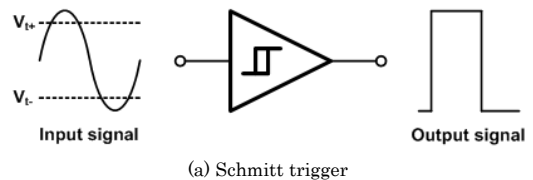
断熱的な動作のために交流電源と clock 信号の同期が合わなければならない。図 3 は同期が合った時と合わなかった時の出力波形を比較している。同期が合わなければ非断熱的な動作が現われて断熱動作ができないので低消費電力にならない。

このような理由で交流電源と clock 発生器を別に設計をする場合は断熱的な動作のために図 4 のような二つの信号

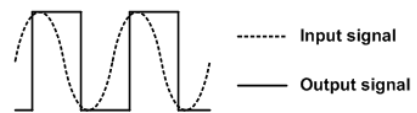
表 1. MOS level-3 model library

Table 1. MOS level-3 model library

	pMOS	nMOS		pMOS	nMOS
Vto	-0.9	0.82	ld	0.35e-6	0.25e-6
Tox	2.5e-8	2.5e-8	nsub	1.5e16	1.5e16
Uo	190	550	cgso	2.7e-10	2.7e-10
Gamma	0.7	0.75	cgdo	2.7e-10	2.7e-10
Delta	0.7	0.5	xj	0.4e-6	0.3e-6
Theta	0.11	0.05	cj	4.5e-4	2.7e-4
Eta	0.13	0.01	mj	0.43	0.45
Kappa	2.0	0.2	cjsw	5.4e-10	4.2e-10
Rsh	8	18	mjsw	0.37	0.31



(a) Schmitt trigger



(b) Schmitt trigger circuit の波形

図 5. 設計した Schmitt trigger 回路

Fig. 5. The designed Schmitt trigger circuit

の同期化回路が必要である。

交流信号の同期化の方式で一般的には PLL, DLL の方式が多く使用されている。しかし PLL と DLL の消費電力が非常に大きい^{(7)~(12)}。断熱的な動作のために同期化が可能で低消費電力の電源部の設計が必要である。

3. 断熱的論理回路用の同期化 clock 発生器の設計

本論文では、交流電源と clock の同期化のための断熱的論理回路用低消費電力 clock 発生器を提案する。clock 発生器の設計は表 1 の MOS level-3 model library を使った。

論理回路の clock 信号が立ち上がる時、交流電源電圧が立ち下がることと、反対に clock 信号が立ち下がる時交流電源電圧が立ち上がるのが同期化であり、この時断熱的な動作をして低消費電力動作となる。

まず、交流信号から clock パルスを作りながら断熱動作の同期化ができる「Schmitt trigger」を設計した(図 5)。Schmitt trigger は入力信号が V_{th} 以上の場合に出力が high になって、入力信号が V_{t} 以下の場合に出力が low になるので交流信号から clock パルスを作るだけではなく断熱動作の同期化まで可能である。

次に、clock の周波数を下げるために「digital counter」を設計した。断熱的な動作のために交流信号と clock の周波

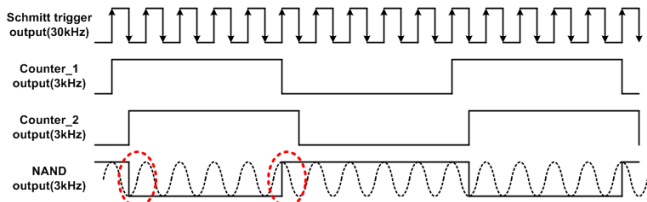


図 6. 設計した digital counter の timing chart
Fig. 6. Timing chart of the designed digital counter

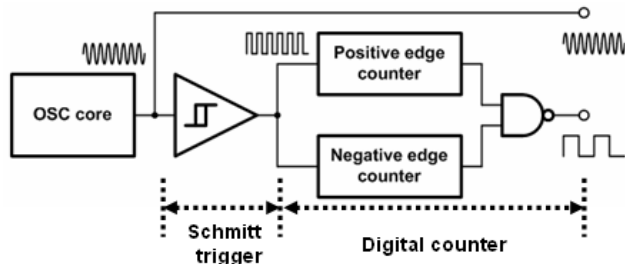


図 7. 提案した断熱的論理回路用の同期化 clock 発生器
Fig. 7. The proposed low-power clock generator for ADCL system

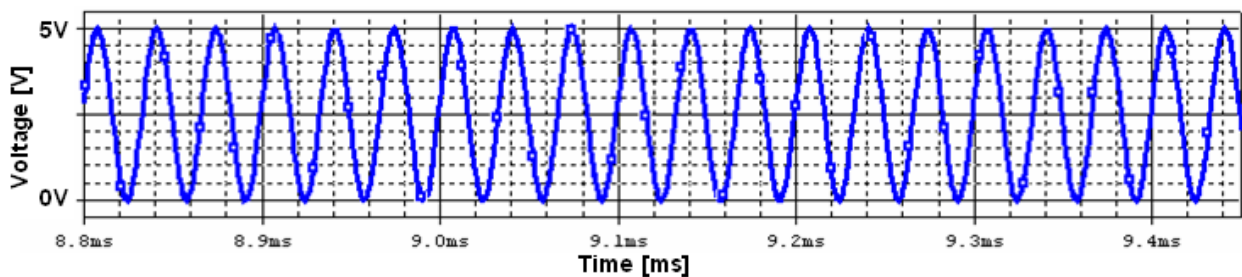
数比は「奇数:1」ではなければならない。それで Schmitt trigger の出力を奇数分周しなければならないが、奇数分周器は複雑で消費電力が大きくなる。そこで二つの counter を使ってその NAND 出力を利用する手法を考案した。周波数は偶数分周でも、この手法で同期を合わせる事ができる。図 6 は設計した digital counter の timing chart を示す。

図 7 は設計した Schmitt trigger と digital counter を使用して提案する断熱的論理回路用低消費電力 clock 発生器である。この発生器は交流電源「OSC core」から入力された交流電圧から断熱的論理回路の clock を作り、交流電圧と clock 信号の同期化もできる。

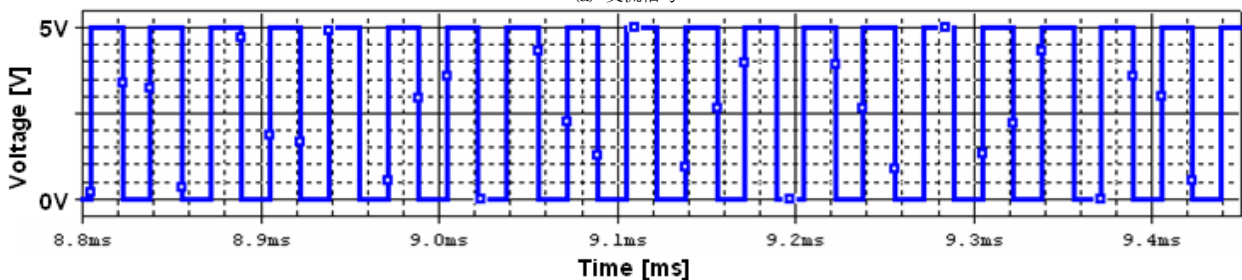
4. PSpice シミュレーションの結果

提案した交流電源と clock の同期化のための断熱的論理回路用の低消費電力 clock 発生器を、1.2um Standard CMOS Process と Pspice でシミュレーションした。図 8 はシミュレーションの結果を表した。Schmitt trigger の動作と digital counter の動作を確認した。また、断熱的な動作のための交流信号と clock 信号の同期化された結果も確認した。

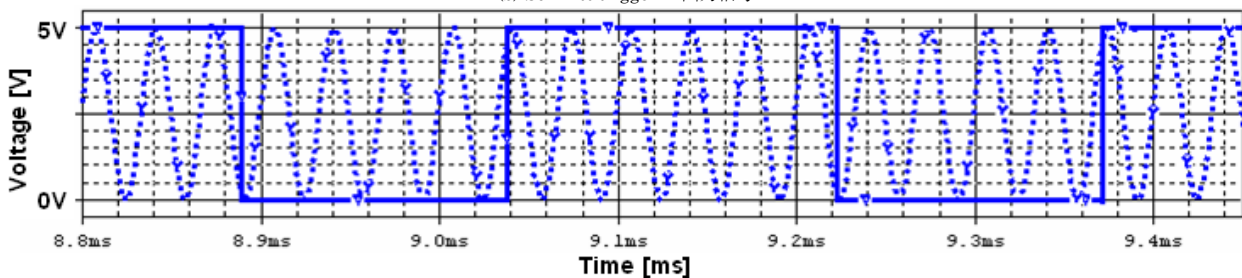
表 2 に示す消費電力の計算の結果より Schmitt trigger



(a) 交流信号



(b) Schmitt trigger の出力信号



(c) Digital counter の出力信号

図 8. 提案した clock 発生器シミュレーションの結果

Fig. 8. The result of simulation of proposed clock generator

表 2. 提案した clock 発生器の消費電力
Table 2. Power consumption of the proposed
clock generator

	電源 [V]	出力周波数 [Hz]	消費電力 [uW]
Schmitt trigger	5	30k	126.57
		100M	1984.7
Digital counter	5	3k	1.226
		10M	4095.9

30kHz で約 126.57uW、digital counter 3kHz で 1.226uW であった。また、Schmitt trigger 100MHz で約 1984.7uW、digital counter 10MHz で 4095.9uW であった。

交流電源と clock 発生器を別に設計して同期化回路を使った時と提案した断熱的論理回路用の低消費電力 clock 発生器の消費電力を比較した。表 3 のような Clock Gen.の中で消費電力が一番低いもの(8)(0.36uW)と Sync.circuit の中で消費電力が一番低いもの(11)(16mW)の合計より、提案した clock 発生器の消費電力の方が低かった。従って、提案した clock 発生器の消費電力低減効果が大きい事が分かった。

表 3. 消費電力の比較
Table 3. Comparison of power consumption

文献	Type	プロセス	電源 [V]	周波数 [Hz]	消費電力	発行 年月
(7)		0.18um	1.2 ~2.4	37.5M	120uA	2010. 11.
(8)	Clock Gen.	0.18um	1.8	31.25k	0.2uA	2010. 9.
(9)		0.13um	1	200M	140uW	2007. 11.
(10)		0.18um	1.8	133M	53mW	2009. 4.
(11)	Sync. circuit	0.18um	1.8	100M ~1G	16mW@100MHz 64mW@1GHz	2011. 8.
(12)		0.18um	1.8	120M ~2.16G	16.2mW @2.16GHz	2011. 4.
本 論 文	Schmitt trigger	1.2um	5	100M	1.985mW	
	Digital counter	1.2um	5	10M	4.096mW	

5. 結論

既存の CMOS 論理回路で発生する電力損失を低減する断熱的論理回路(ADCL)において、交流電源と clock が同期化される時、断熱的な動作となり低消費電力が実現できる。従って、交流電源と clock を別に設計する場合には断熱的な動作のための同期化回路が必要である。交流信号の同期化の方式では PLL, DLL 方式を多く使用しているが、PLL と DLL の消費電力は非常に大きい。

本論文では、交流電源と clock の同期化のための断熱的論

理回路用低消費電力 clock 発生器を提案した。交流信号から clock を作りながら断熱動作の同期化ができる「Schmitt trigger」を設計した。また、断熱的論理回路の動作のために clock の周波数を下げるために「digital counter」を設計した。「Schmitt trigger」と「digital counter」の消費電力はそれぞれ 1.985mW と 4.096mW である。従来の同期化回路(PLL, DLL)を使用する場合より提案した回路の方が低消費電力であった。

文 献

- (1) W. C. Athas, L. J. Svensson, J. G. Koller, N. Tzartzains, and E. YC.Chou, "Low-power digital systems based on adiabatic-switching principles," IEEE Trans. Very Large Scale Integr. (VLSI) Syst., vol. 2, no. 4, pp. 398-407, April 1994.
- (2) A. G. Dickinson and J. S. Dencker, "Adiabatic dynamic logic," IEEE J. Solid-States Circuits., vol. 30, no. 3, pp. 311-315, April 1995.
- (3) Y. Takahashi, S. Nagano, N.Anuar, T. Sekine, and M.Yokoyama, "On chip LC resonator circuit using an active inductor for adiabatic logic," Proc. IEEE Int. Midwest Symp. Circuits Syst. pp.1171-1174, Cancun, Mexico Aug. 2009.
- (4) K. Takahashi and M. Mizunuma, "Adiabatic dynamic CMOS logic circuit," IEICE of Japan, Technical Report of IEICE VLD 97-70, pp81-88, Sep. 1997.
- (5) Y. Takahashi, K. Konta, K. Takahashi, K. Shouno, M. Yokoyama, and M. Mizunuma, "Carry propagation free adder/subtractor using adiabatic dynamic CMOS logic circuit technology," IEICE Trans. Fundamentals., vol. E86-A, no. 6, pp.1437-1444, June 2003.
- (6) 趙 勝一, 横山 道央, "断熱的論理回路を利用した LED 照明用 PWM 回路の低電力設計," 電気学会, 電子回路研究会, ECT-12-2, pp7-11, Jan. 2012.
- (7) Zeng Xianwen, Wang Zhigong, Xu Jian and Tang Lu, "A fast start-up, low-power differential crystal oscillator for DRMDAB receiver," Communication Technology (ICCT), 2010 12th IEEE International Conference on, pp.1027-1030, Nov. 2010.
- (8) Joonhyung Lim, Kwangmook Lee, Koonsik Cho, "Ultra low power RC oscillator for system wake-up using highly precise auto-calibration technique," ESSCIRC, 2010 Proceedings of the, pp.274 - 277, Sep. 2010.
- (9) Duo Sheng, Ching-Che Chung, Chen-Yi Lee, "An Ultra-Low-Power and Portable Digitally Controlled Oscillator for SoC Applications," Circuits and Systems II: Express Briefs, IEEE Transactions on, Vol. 54, no.11, Nov. 2007.
- (10) Wei-Ming Lin, Chao-Chyun Chen, Shen-Tuan Liu, "An all-digital clock generator for dynamic frequency scaling," VLSI Design, Automation and Test, 2009. VLSI-DAT '09. International Symposium on, pp.251-254, Apr. 2009.
- (11) Mi-Jo Kim, Lee-Sup Kim, "A 100 MHz-to-1 GHz Fast-Lock Synchronous Clock Generator With DCC for Mobile Applications," Circuits and Systems II: Express Briefs, IEEE Transactions on, vol. 58, no.8, pp.477-481, Aug. 2011.
- (12) Jaehyouk Choi, S.T. Kim, Woonyun Kim, Kwan-Woo Kim, Kyutae Lim, J. Laskar, "A Low Power and Wide Range Programmable Clock Generator With a High Multiplication Factor," Very Large Scale Integration (VLSI) Systems, IEEE Transactions on, Vol.19, no.4, pp.701-705, Apr. 2011.